

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-216370

(43)Date of publication of application : 22.09.1987

(51)Int.Cl.

H01L 29/78

H01L 29/62

(21)Application number : 61-059837

(71)Applicant : SEIKO INSTR & ELECTRONICS
LTD

(22)Date of filing : 18.03.1986

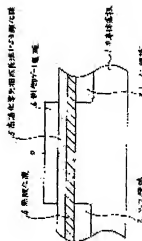
(72)Inventor : NAKANISHI AKISHIGE

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To obtain a gate insulating film of an MOS transistor having less traps and high dielectric withstanding voltage characteristics by forming the gate insulating film as a composite oxide film made of a plurality of types of oxide films.

CONSTITUTION: A source region 2 and a drain region 3 are provided near the surface of a semiconductor substrate 1, a thermal oxide film 4 is formed on the substrate 1 interposed therebetween, and an oxide film 5 is formed by a high temperature chemical vapor growing method thereon, and a control gate electrode 6 is formed thereon. The structures of the composite oxide films 4, 5 are thermally oxidized, then high temperature chemical vapor grown, or high temperature chemical vapor grown and then thermally oxidized to contact the film 4 on the substrate 1, and the film 5 is laminated thereon. Thus, an ideal performance as the gate insulating film of an MOS transistor can be achieved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑤Int. Cl.⁴
H 01 L 29/78
29/62

識別記号 庁内整理番号
8422-5F

⑬公開 昭和62年(1987)9月22日

審査請求 未請求 発明の数 1 (全4頁)

⑭発明の名称 半導体装置

⑯特 願 昭61-59837

⑰出 願 昭61(1986)3月18日

⑱発 明 者 中 西 章 滋 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式
会社内

⑲出 願 人 セイコー電子工業株式 東京都江東区亀戸6丁目31番1号
会社

⑳代 理 人 弁理士 最 上 務 外1名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 半導体基板表面近傍に設けられたソース領域とドレイン領域に挟まれた半導体基板表面上において、ゲート絶縁膜が少なくとも2層以上の酸化膜からなる複合酸化膜であることを特徴とする半導体装置。

(2) 前記ゲート絶縁膜が、少なくとも熱酸化膜と形成温度700℃以上の高温化学気相成長法による酸化膜からなる2層以上の複合酸化膜であることを特徴とする特許請求の範囲第1項記載の半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、熱酸化法と高温化学気相成長法による複合酸化膜をゲート絶縁膜に用いたMOSトラ

ンジスタに関する。

(発明の概要)

本発明はMOSトランジスタの絶縁膜の形成において、熱酸化により形成される酸化膜と高温化学気相成長による酸化膜を複合的に形成することにより、トラップの少ない、絶縁耐圧特性の優れたゲート絶縁膜の形成を可能とするものである。

(従来の技術)

従来、MOSトランジスタの絶縁酸化膜は熱酸化工程もしくは化学気相成長による工程のいずれか一方のみを用いて形成されていた。

(発明が解決しようとする問題点)

しかしながら、熱酸化により形成された酸化膜は高温化学気相成長法より形成される酸化膜よりトラップが少ないという長所を持っているが、絶縁耐圧歩留は劣っている。

一方、高温化学気相成長法により形成された酸化膜は熱酸化により形成される酸化膜より絶縁耐圧歩留は高いが、トラップが多いという欠点をもっている。

れぞれの酸化膜は一長一短があり、これをゲート絶縁膜として利用しようとする時、さらに性能の良い酸化膜が期待されていた。

(問題点を解決するための手段)

以上に述べた問題点を解決するために、本発明ではゲート絶縁膜を熱酸化により形成し、続いて700℃以上の高温化学気相成長法により複合的に酸化膜を成長させた。この複合酸化膜は、まず700℃以上の高温化学気相成長法を用いて酸化した後、続いて熱酸化を行なっても同様な複合酸化膜が形成され、同様な成果が得られる。

(作用)

上記のごとく形成された複合酸化膜は、高温化学気相成長法により形成される絶縁耐圧歩留の高い酸化膜と熱酸化により形成されるトラップの少ない酸化膜の両者の長所を兼ね備えて持っている。故にこの複合酸化膜はMOSトランジスタのゲート絶縁膜として理想的な性能を発揮することが可能となる。

3

ゲート・基板電極間に一定電流を流すためのゲート電圧の経時変化図である。

この図におけるゲート電圧の上昇は酸化膜中あるいは酸化膜-シリコン界面に存在するトラップによって電子が捕獲されるためである。したがってこの結果は熱酸化膜の方がトラップが少ないことを示している。

第3図は上記二種類の酸化膜を用いたMOSトランジスタに一定電流密度を印加した時の誘電破壊時間に対する累積破壊率を示す図である。横軸は、ストレス印加時間を、縦軸は、累積破壊率を示す。この結果より明らかに高温化学気相成長法による酸化膜の方が破壊しにくいことがわかる。

以上の二つの利点から、前記の構造をもつ複合酸化膜はMOSトランジスタのゲート絶縁膜として優れた動作を行うことが可能である。

(発明の効果)

本発明による熱酸化膜と高温化学気相成長法による酸化膜によって構成される複合酸化膜を利用することによりトラップの少ない、絶縁耐圧特性

本発明の実施例を図面に基づいて詳細に説明する。第1図は本発明による半導体装置の断面図である。第1図において1は半導体基板であり、その表面近傍にソース領域2およびドレイン領域3が設けられており、これらに挟まれた半導体基板1の表面上に熱酸化膜4が、その上に高温化学気相成長法による酸化膜5が形成されている。さらにその上に制御ゲート電極6が設けられている。

上記複合酸化膜4、5の構造は(1)熱酸化後、高温化学気相成長、(2)高温化学気相成長後、熱酸化のいずれの工程を用いても半導体基板1上に熱酸化膜4が接し、その上に高温化学気相成長法による酸化膜5を積み重ねる形に形成される。

酸化膜のトラップを測定する方法としてMOSダイオードを用いる方法が一般に知られており、その結果を第2図に示す。第2図は1000℃での熱酸化膜、850℃で $\text{SiH}_4/\text{C}_2\text{H}_6 + \text{H}_2\text{O}$ で形成した高温化学気相成長法による酸化膜をそれぞれゲート絶縁膜として用いたMOSダイオードにおいて

4

の高いMOSトランジスタのゲート絶縁膜を得ることが可能となった。

4. 図面の簡単な説明

第1図は、本発明による半導体装置の断面図である。第2図は、MOSダイオードゲート電圧の経時変化図であり、第3図は、MOSトランジスタの誘電破壊時間に対する累積破壊率を示す図である。

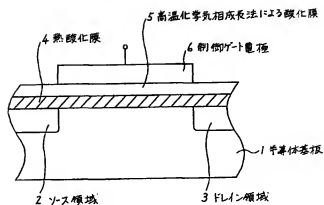
- 1・・・半導体基板
- 2・・・ソース領域
- 3・・・ドレイン領域
- 4・・・熱酸化膜
- 5・・・高温化学気相成長法による酸化膜
- 6・・・制御ゲート電極

以上

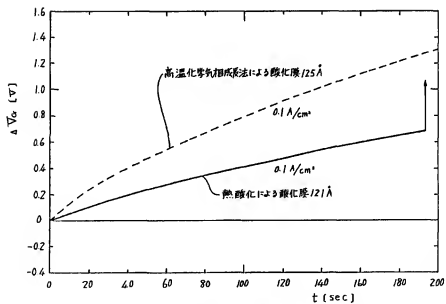
出願人 セイコー電子工業株式会社

代理人 弁理士 最上 務(他1名)

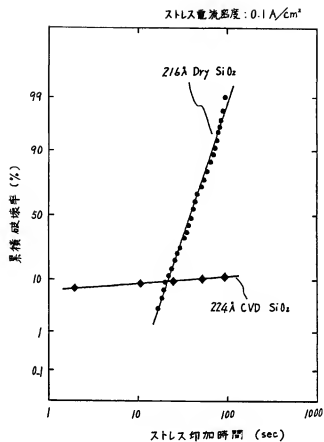




半導体装置の断面図
第 1 図



MOS FET オート ゲート電圧の経時変化図
第 2 図



MOSトランジスタの電圧印加時間に対する累積破壊率を示す図

第 3 図